

Inhaltsverzeichnis

1	Einleitung und Übersicht	1
1.1	Motivation	1
1.2	Ziele und Organisation dieses Buches	3
1.3	VHDL Entwurfsmethodik	6
1.4	Syntaxnotation	8
2	VHDL-Entwurf einfacher Schaltnetze.....	11
2.1	Entity, Architektur und Signale	11
2.1.1	Deklaration und Verwendung lokaler Signale	14
2.1.2	Richtungsmodi von Signalschnittstellen.....	15
2.1.3	Deklaration von Bussignalen	17
2.2	VHDL-Simulation mit ModelSim	17
2.2.1	Empfohlene Projektordnerstruktur	18
2.2.2	Übersicht zum Entwicklungsablauf.....	19
2.3	Schaltnetze mit Boole'schen Gleichungen	26
2.3.1	Modellierung von Halb- und Volladdierern	28
2.3.2	Besonderheiten bei der Simulation von Strukturmodellen	31
2.4	Simulation mit einfachen VHDL-Testumgebungen	34
2.5	FPGA-Synthese einfacher kombinatorischer Schaltungen mit Vivado	36
2.5.1	Programminstallation.....	36
2.5.2	Konfiguration eines RTL-Projektes in Vivado	38
2.5.3	Funktionale Simulation des VHDL-Codes	42
2.5.4	Synthese und Implementierung	46
2.5.5	Analyse der Schaltungsimplementierung	51
2.5.6	Erzeugung der Programmierdatei, Hardwaredownload und Test	54
2.6	Schaltnetze mit nebenläufigen Signalzuweisungen	56
2.6.1	Unbedingte Signalzuweisung	56
2.6.2	Selektive und bedingte Signalzuweisung.....	57
2.7	Übungsaufgaben	62

3	Entwurf digitaler Funktionselemente mit Prozessen.....	65
3.1	Prozesse	65
3.1.1	Deklaration und Ausführung von Prozessen.....	66
3.2	Schaltnetze mit sequenziellen Anweisungen	69
3.2.1	Die case-Anweisung	70
3.2.2	Die if-Anweisung	74
3.2.3	Schleifenkonstrukte	80
3.2.3.1	for loop	80
3.2.3.2	while loop	82
3.3	Einfache Schaltwerke	84
3.3.1	D-Flipflops und Register	84
3.3.1.1	VHDL-Beschreibung mit Signalen	84
3.3.1.2	Testbench zum D-Flipflop.....	86
3.3.1.3	Entwurf von Registern.....	88
3.3.1.4	Verwendung von Variablen in taktsynchronen Prozessen	89
3.3.2	Johnson-Zähler mit Takteiler.....	91
3.3.3	Parametrisiertes Schieberegister	93
3.4	Erzeugung von Latches.....	96
3.5	Vermeidbare Synthesefehler.....	98
3.5.1	Kombinatorische Schleifen.....	99
3.5.2	Fehlverhalten durch unvollständige Empfindlichkeitslisten	100
3.6	RTL-Syntheserichtlinien.....	102
3.6.1	D-Flipflops und Register in getakteten Prozessen	103
3.6.2	D-Latches und kombinatorische Logik.....	104
3.7	Testbench-Prozesse	104
3.8	Übungsaufgaben	110
4	Tri-State- und Don't-Care-Modellierung.....	117
4.1	Die Datentypen std_ulogic und std_logic	117
4.2	Realisierung von Tri-State-Ausgangsstufen	120
4.3	Don't-Care-Werte als Ausgangssignal	125
4.4	Don't-Care-Werte als Eingangssignal	127
4.5	Konversion der Datentypen bit und bit_vector.....	130
4.6	Übungsaufgaben	133

5	Arithmetik und Synchronzähler.....	135
5.1	Arithmetik-Operatoren und zugehörige Datentypen.....	135
5.2	Komparator SN74xx85	138
5.3	Entwurf von Synchronzählern	140
5.4	Arithmetik mit den Datentypen signed und unsigned.....	145
5.5	Integer-Arithmetik	149
5.6	Konversionsfunktionen und indizierter Zugriff auf Feldelemente.....	152
5.7	Arithmetik mit Synopys Bibliotheken	155
5.8	Hinweise zur Verwendung der Datentypen	156
5.9	Übungsaufgaben	158
6	FPGA-Synthese und Implementierung synchroner Schaltungen.....	163
6.1	FPGA-Technologien.....	165
6.1.1	Grundkomponenten kombinatorischer und sequenzieller Logik in FPGAs	166
6.1.2	Die Architektur von SRAM-basierten FPGAs	167
6.1.3	Technologische Entwicklungstrends bei FPGAs.....	173
6.2	FPGA-Entwurf synchroner Schaltungen mit Vivado	174
6.2.1	Funktionale Simulation mit Vivado.....	176
6.2.2	VHDL-Synthese und Implementierung	178
6.2.3	Statische Timing-Analyse.....	181
6.2.4	Post-Implementation-Timing-Simulation	185
6.2.5	Programmierung des FPGAs	188
6.3	Externe Beschaltung des FPGAs	188
6.3.1	Analyse von Output-Constraints.....	188
6.3.2	Analyse von Input-Constraints	191
6.3.3	Asynchrone Resets	193
7	Entwurf von Zustandsautomaten.....	197
7.1	Automatenvarianten.....	197
7.2	Moore-Automat für eine Impulsfolgenerkennung	200
7.3	Entwurfsbeispiel für einen Mealy-Automaten	204
7.4	VHDL-Syntaxvarianten	210
7.4.1	Die Zwei-Prozess-Darstellung	211
7.4.2	Die Mehr-Prozess-Darstellung	212
7.4.2.1	Schnittstellensynchronisation	212
7.4.2.2	Maßnahmen zur Taktfrequenzerhöhung.....	215

7.4.2.3	Maßnahme zur Reduzierung der Latenzzeit	216
7.4.3	Die Ein-Prozess-Darstellung	219
7.4.4	Vergleich der Syntaxvarianten.....	220
7.5	Zustandscodierung.....	221
7.5.1	Zustandscodierung in Vivado	221
7.5.2	Analyse von Pseudozuständen.....	223
7.5.3	Umsetzung der Zustandscodierung im VHDL-Code.....	229
7.5.4	Zusammenfassung der Ergebnisse zur Zustandscodierung.....	231
7.6	Übungsaufgaben	232
8	Struktureller VHDL-Entwurf	235
8.1	Ziele und Methoden der Systempartitionierung.....	236
8.2	Struktureller Entwurf mit Komponenten	239
8.2.1	Struktureller Entwurf eines 4-zu-2-Prioritätsencoders	241
8.2.1.1	Komponentendeklaration	244
8.2.1.2	Komponenteninstanziierung und port map-Anweisung	244
8.2.1.3	Konfiguration zur Auswahl von Modellarchitekturen.....	245
8.2.1.4	Modellparametrisierung	246
8.2.1.5	Iterative Instanziierung.....	248
8.2.2	Entwurf einer skalierbaren Addier/Subtrahier-Einheit	251
8.2.3	Kopplung von Signalen in strukturellen VHDL-Beschreibungen	256
8.3	Strukturierung mit Unterprogrammen	258
8.3.1	Lokale Prozeduren und Funktionen	258
8.3.2	Definition und Einsatz von packages.....	263
8.4	Komponentenentwurf für eine IP-zentrierte Entwurfsmethode	266
8.4.1	Instanziierung von RAM- und ROM-Zellen mit Prozessen	267
8.4.2	Erzeugung von IP-Komponentensymbolen in Vivado	273
8.5	Übungsaufgaben	279
9	Entwurf eines RISC-Prozessors	281
9.1	Spezifikation der Prozessorfunktionen	282
9.1.1	Das Programmiermodell	282
9.1.2	Der Instruktionssatz.....	284
9.1.3	Instruktionsformate.....	284
9.2	Prozessorarchitektur und -programmierung	285
9.3	VHDL-Realisierung.....	288

9.3.1	Registerfile.....	289
9.3.2	Instruktions- und Datenspeicher	292
9.3.3	Instruction Fetch (IF).....	295
9.3.4	Instruction Decode (ID).....	296
9.3.5	Execute (EX)	299
9.3.6	Memory Access (MEM).....	301
9.3.7	Top-Level-Architektur des RISC-Prozessors	304
9.3.8	Einfache Testbench für den RISC-Prozessor.....	306
9.4	Entwurfsverifikation	307
9.4.1	Vermeidung von RW-Hazards.....	308
9.4.2	Vermeidung von C-Hazards	309
9.4.3	Speichern und Lesen des Datenspeichers	311
9.5	FPGA-Implementierung	313
10	Modellierung digitaler Filter	315
10.1	FIR-Filter	317
10.1.1	Parallele FIR-Filterstrukturen.....	317
10.1.2	Zahlendarstellung im Q-Format	322
10.1.2.1	Addition mit vorzeichenrichtiger Erweiterung der Summanden	324
10.1.2.2	Binäre Multiplikation	325
10.1.3	Filterskalierung und Beispielfilter	326
10.1.4	VHDL-Modelle paralleler FIR-Filterstrukturen	330
10.1.4.1	Kopplung von unterschiedlichen Taktbereichen	330
10.1.4.2	Basismodell der Direktform	333
10.1.4.3	Direktform mit symmetrisch balanciertem Addiererbaum	341
10.1.4.4	Direktform mit unsymmetrisch balanciertem Addiererbaum.....	344
10.1.4.5	Linear-Phasen-Struktur.....	355
10.1.4.6	Transponierte Form mit reduzierter Anzahl der Multiplizierer	365
10.1.4.7	Systolische FIR Filter.....	370
10.1.4.8	Vergleich der Implementierungsergebnisse und der Timing-Analysen	377
10.1.5	Sequenzielle FIR-Struktur mit MAC-Einheit	381
10.1.5.1	Multiplizierer-Akkumulatoreinheit	383
10.1.5.2	Ringpuffer für die Abtastwerte.....	385
10.1.5.3	Koeffizienten-ROM.....	387
10.1.5.4	Sequenzsteuerung mit einem Zustandsautomaten	389

10.1.5.5	Simulations- und Synthesergebnisse	392
10.1.6	Taktschemata der Filterdatenpfade.....	396
10.1.6.1	Audiodatenrate	397
10.1.6.2	Hohe Datenraten.....	398
10.2	IIR-Filter.....	398
10.2.1	Koeffizientenberechnung und Beispielfilter.....	399
10.2.2	Parallele Strukturen für IIR-Filter 2. Ordnung	403
10.2.3	VHDL-Modelle für Varianten der Direktform II	406
10.2.3.1	Transponierte Struktur der Direktform II	407
10.2.3.2	Modifizierte Direktform II	415
10.2.3.3	Vergleich der Implementierungsergebnisse für die IIR-Filtervarianten	420
10.2.4	Sinusgenerator als synthesesfähige Testbench.....	420
10.2.5	Entwurfsschritte für IIR-Filter.....	427
10.3	FPGA-Entwurf mit Simulink.....	428
11	Zustandsdifferenzgleichungen für Beobachter	431
11.1	Zeitinvariante und lineare Systeme.....	434
11.1.1	Zeitliche Diskretisierung	435
11.1.2	VHDL-Modell für die Zustandsdifferenzgleichungen.....	439
11.2	Numerische Integration von gekoppelten Differentialgleichungen	446
11.2.1	Rechteck- und Trapezintegration.....	447
11.2.2	VHDL-Modell der kombinierten numerischen Integration	451
11.2.3	Prozessorelement mit Mehrzyklus-Datenpfad.....	458
11.2.3.1	Algorithmisches Zustandsdiagramm	459
11.2.3.2	Datenpfad mit Mehrfach-Ressourcennutzung	461
11.2.3.3	VHDL-Modellierung des Prozessorelementes	465
11.3	Vergleich der Implementierungsergebnisse.....	475
11.4	Nichtlineare, gekoppelte Integralgleichungen	480
11.4.1	Odometrie mit einem Einspur-Fahrzeugmodell	481
11.4.2	VHDL-Modell des nichtlinearen Doppelintegrators	484
12	Erweiterungen durch den Standard VHDL-2008.....	501
	Blockkommentare.....	501
	Aggregate auf der linken Seite einer Signalzuweisung.....	501
	Angabe der Felddimensionen bei der Signaldeklaration	502
	Bitstring Konstanten	502

	Signalausdrücke in port map-Anweisungen	503
	Lesen von Output Ports	503
	Bitweise Boole'sche Verknüpfungen	504
	Neue Vergleichsoperatoren	505
	Verknüpfung skalarer Signale mit Signal-Arrays	505
	Verwendung von Schiebe- und Rotationsoperatoren.....	506
	Vereinfachung Boole'scher Ausdrücke in Bedingungsdrücken	507
	Sensitivityliste kombinatorischer Prozesse.....	507
	Bedingte und Selektive Signalzuweisungen in Prozessen	507
	Don't Cares auf der linken Seite der Wahrheitstabelle.....	508
	Bedingte Komponenteninstanziierung.....	509
	Deklaration eines Kontextes	509
	Datenformat für Festkommazahlen im Q-Format.....	510
	Datenformat für Gleitkommazahlen	515
13	Anhang.....	517
13.1	VHDL-Codierungsempfehlungen.....	517
13.2	Checkliste zum VHDL-basierten Entwurf digitaler Systeme	521
13.3	Liste der gebräuchlichsten VHDL-Schlüsselworte.....	524
13.4	VHDL-Syntaxübersicht und Bibliotheken.....	525
14	Literaturverzeichnis	535
15	Sachregister.....	543